

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年6月2日 (02.06.2005)

PCT

(10) 国際公開番号  
WO 2005/050663 A1

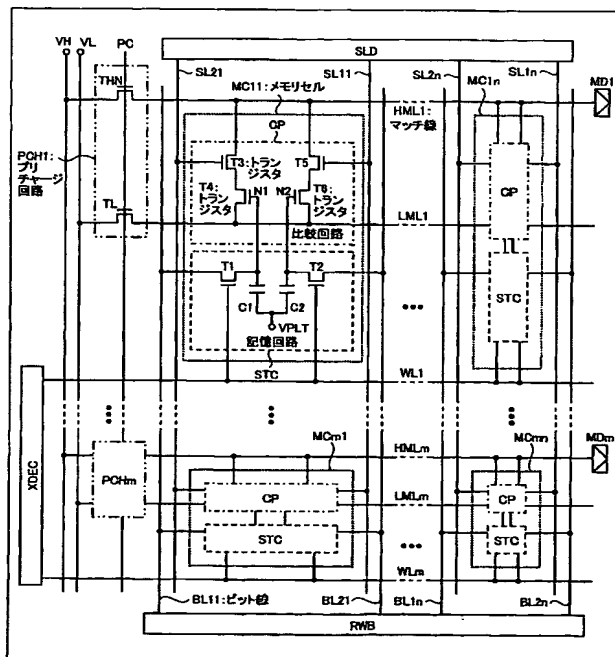
- (51) 国際特許分類<sup>7</sup>: G11C 15/04
- (21) 国際出願番号: PCT/JP2003/014901
- (22) 国際出願日: 2003年11月21日 (21.11.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒100-8280 東京都千代田区丸の内一丁目6番6号 Tokyo (JP). エルピーダメモリ株式会社 (ELPIDA MEMORY, INC.) [JP/JP]; 〒104-0028 東京都中央区八重洲二丁目2番1号 Tokyo (JP).

- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 半澤 悟 (HAN-ZAWA, Satoru) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 重田 淳二 (SHIGETA, Junji) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 木村 紳一郎 (KIMURA, Shinichiro) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 阪田 健 (SAKATA, Takeshi) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内 Tokyo (JP). 竹村 理一郎 (TAKEMURA, Ri-ichiro) [JP/JP]; 〒185-8601 東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所 中央研究所内

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(54) 発明の名称: 半導体集積回路装置



PCH1 PRECHARGE CIRCUIT  
MC11 MEMORY CELL  
T3 TRANSISTOR  
T4 TRANSISTOR  
T6 TRANSISTOR

CP COMPARISON CIRCUIT  
STC STORAGE CIRCUIT  
BL11 BIT LINE  
HML1 MATCH LINE

(57) Abstract: In a memory array comprising memory cells employing a memory circuit STC and a comparison circuit CP, any one of source and drain electrodes of a transistor having a gate electrode being connected with a search line among a plurality of transistors constituting the comparison circuit CP is connected with a match line HMLr being precharged with a high voltage. A match line decision circuit MDR is arranged in a match line LMLr being precharged with a low voltage and a comparison signal voltage generated in that match line is discriminated depending on the comparison results of information. With such arrangement and operation of a memory array, comparison operation can be carried out at high speed with low power while avoiding the effect of search line driving noise in a pair of match lines. A low power content addressable memory capable of performing search operation at high speed can thereby be realized.

(57) 要約: 記憶回路STCと比較回路CPとを用いたメモリセルで構成されるメモリアレイにおいて、比較回路CPを構成する複数のトランジスタのうち、ゲート電極がサーチ線に接続されるトランジスタのソースまたはドレインのいずれか一方の電極を高電圧にプリチャージされる方のマッチ線HMLrに接続する。また、マッチ線判定回路MDrを低電圧にプリチャージされるマッチ線LMLrに配置して、情報の比較結果に応じてこのマッチ線に発生した比較信号電圧を弁別する。このようなメモリアレイ構成と動作により、マッチ線対におけるサーチ線駆動雑音の影響を回避しつつ、低電力かつ高速に比較動作を行うことができる。このため、

検索動作を高速に行うことが可能な低電力コンテンツ・アドレスサブル・メモリを実現することができる。



Tokyo (JP). 梶谷 一彦 (KAJIGAYA, Kazuhiko) [JP/JP];  
〒104-0028 東京都中央区八重洲二丁目2番1号エ  
ルピーダメモリ株式会社内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東  
京都 新宿区 西新宿 8 丁目 1 番 1 号 アゼリアビル  
3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, JP, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,  
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,  
NL, PT, RO, SE, SI, SK, TR).

添付公開書類:  
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される  
各 PCT ガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。